

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭58—51552

⑬ Int. Cl.³
H 01 L 27/04
29/48

識別記号

庁内整理番号
8122—5F
7638—5F

⑭ 公開 昭和58年(1983)3月26日

発明の数 1
審査請求 未請求

(全 4 頁)

⑮ 半導体装置

⑯ 特 願 昭56—150286
⑰ 出 願 昭56(1981)9月22日
⑱ 発 明 者 西馬正博
門真市大字門真1006番地松下電
器産業株式会社内
⑲ 発 明 者 南部修太郎

門真市大字門真1006番地松下電
器産業株式会社内
⑳ 発 明 者 萩尾正博
門真市大字門真1006番地松下電
器産業株式会社内
㉑ 出 願 人 松下電器産業株式会社
門真市大字門真1006番地
㉒ 代 理 人 弁理士 中尾敏男 外1名

明 細 書

1、発明の名称

半導体装置

2、特許請求の範囲

(1) 半絶縁基板上に化合物半導体からなる活性層を有し、前記活性層上にショットキー接合またはp-n接合を櫛形状あるいはメッシュ状に形成したことを特徴とする半導体装置。

(2) 活性層が3500Å以下の厚みを有することを特徴とする特許請求の範囲第1項に記載の半導体装置。

3、発明の詳細な説明

本発明は、化合物半導体のショットキー接合あるいはp-n接合を用いた容量素子において、これらの接合の電極とオーミック電極をくし状あるいはメッシュ状に構成することにより、小面積で大きな容量をもちかつ耐圧の大きな容量を提供するものである。以下に、GaAsのショットキー接合を用いた場合について説明する。

GaAsを用いた集積回路において、その構成素

子として容量素子は不可欠のものである。GaAsを用いて容量素子を構成する方法としては、インターデジタル方式、オーバーレイ方式あるいはショットキー接合あるいはp-n接合などの接合容量を用いる方式などがある。しかしながら、インターデジタル方式では、例えば20pFというような大きな容量を得ることは困難である。また、オーバーレイ方式も比較的大きな容量は得られるが、両電極間の誘電体のピンホールのためにその大きさにも限度がある。これらに対して、ショットキー接合あるいはp-n接合の接合容量を利用した容量素子は、かなり大きなもので作製が可能である。例えば、 $1 \times 10^{17} \text{ cm}^{-3}$ のキャリア濃度をもちGaAs上に作製したショットキー接合において、-3Vの電圧を印加した場合、誘電体として厚さ5000ÅのSiO₂膜を用いたオーバーレイ方式容量素子に対して、約4倍の容量が得られる。

しかしながら、第1図に示すようにGaAsバルク(基板)1上に金属2を蒸着してショットキー接合容量を構成した場合、大きな容量は得られる

が、高い耐圧を得ることが困難である。第1図において3は基板1とのオーミック電極、4は空乏層である。一般に、第2図に示すように、半絶縁性GaAs基板6上に構成された活性層6上に金属2を蒸着してショットキー接合容量を構成した場合、第2図(a)のごとく活性層6の厚さが厚いと、第1図のごとき基板に接合を形成した場合と同様な耐圧を示すが、逆に活性層6の厚みが第2図(b)のごとく薄いと、耐圧が高くなることが判明している。第3図は第2図の構造における活性層厚に対する耐圧の変化を示す。なお、ここでは活性層のキャリア濃度は $0.8 \sim 3 \times 10^{17} \text{cm}^{-3}$ の場合を示す。活性層が3500Å付近から薄くなるにつれて耐圧が大きくなっている。

しかし活性層厚が薄いと空乏層下の抵抗が大きくなり、ショットキー接合の周辺部のみが容量に寄与し、中央部は容量に寄与しなくなる。このため、実効的な容量は小さくなる。

本発明は、このような検討に鑑み、容量を十分大きいままに維持しつつ、耐圧の大きなショット

キー接合容量を可能ならしめるものである。以下、実施例に基づいて説明する。

第4図に、本発明の一実施例にかかるくし形に構成したショットキー接合容量を示す。第5図は、メッシュ状に構成したショットキー接合容量である。第4図、第5図において第1図、第2図と同一部分には同一番号を付す。5は半絶縁性GaAs基板、6はGaAs活性層を示す。また、3はオーミック電極で容量の一方の電極を構成する。2はショットキー接合電極で容量のもう一方の電極を構成する。4の部分はショットキー接合に逆バイアス電圧を印加することにより形成される空乏層領域である。7はクロスオーバー用の SiO_2 膜で、8はオーミック電極3をつなぐ配線金属である。

前述のごとく、3500Å以下の薄い活性層を用いることにより、耐圧が著しく改善できるとともに、第4図、第5図に示すように容量素子の両電極をくし形状あるいはメッシュ状に形成することにより、ショットキー接合の周辺長を長くすることができ、大きな容量が得られる。また、第4図、

第5図では周辺長を使うため、深い逆バイアスを印加してその容量値はあまり変化しない。

以下に、本発明の具体例について説明する。半絶縁性GaAs上に活性層6として厚さ2000Åのエピタキシャル層をもつ基板を用いた。活性層6のキャリア濃度は $1 \times 10^{17} \text{cm}^{-3}$ である。

くし形状容量のパターンの例すなわち第4図と同様の例を第6図に示す。くし形状容量パターンのフィンガー長は200μmとした。オーミック電極3、ショットキー電極2の幅は共に2μmとし、両電極間隔は4μmとした。電極のフィンガー数は50本とした。この場合、電極2で形成されるショットキー接合の全周辺長は、ほぼ

$$200(\mu\text{m}) \times 2 \times 50 = 20000(\mu\text{m})$$
 となる。また、容量の占有面積は、約 $250 \times 300 \mu\text{m}^2$ である。

メッシュ状容量のパターンの例すなわち第5図と同様の例を第7図に示す。オーミック電極は5×5μmの正方形で構成されており、ショットキー電極2は幅2μm、間隔13μmの格子状に構成さ

れている。両電極2、3間の間隔は4μmである。また、各正方形のオーミック電極3間は、配線8によりショットキー電極と同様の格子状に接続されている。各セルにおけるショットキー接合の周辺長は、 $13(\mu\text{m}) \times 4 = 52(\mu\text{m})$ である。本実施例はこのセルを縦に20個、横に20個並べて構成されている。その結果、ショットキー接合の全周辺長は、ほぼ

$$52(\mu\text{m}) \times 20 \times 20 = 20800(\mu\text{m})$$

となる。一方、この容量の占有面積は、約 $300 \times 300 \mu\text{m}^2$ である。

第8図に、本実施例のくし形状容量およびメッシュ状容量の容量-電圧特性を示す。逆方向バイアス電圧3Vで、くし形状容量およびメッシュ状容量はそれぞれ23.7pF、21.2pFの値を示した。第9図には、本実施例のくし形状容量およびメッシュ状容量の逆耐圧特性(A)を示す。同図には、バルクGaAs(キャリア濃度 $1 \times 10^{17} \text{cm}^{-3}$)上に同様にショットキー接合を作製した場合の逆耐圧特性(B)も同時に示す。この図より、本発明にかかる

くし状又はメッシュ状で望ましくは薄い活性層を用いた容量の方が、はるかに耐圧が大きくなっていることがわかる。なお、電極2, 3ともくし状もしくはメッシュ状である必要はなく、少くともショットキー電極2がこの構造であればよい。

以上述べたように、本発明はGaAs等の化合物半導体の薄い活性層上に構成したショットキー接合を用いた容量において、ショットキー電極の電極をくし形状あるいはメッシュ状に構成することにより、小面積で容量が大きく、しかも耐圧の十分に大きい容量を提供するものであり、GaAs等の化合物半導体を用いたモノリシックIC等における受動素子への応用において極めて実用効果が大きいものである。なお、以上の説明では、ショットキー接合を用いた容量で説明したが、p-n接合の容量の場合であっても同様の効果が可能である。

4、図面の簡単な説明

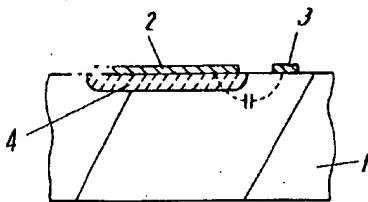
第1図はバルクGaAs上に金属を蒸着したショットキー接合容量の断面図、第2図(a), (b)は半絶

縁性GaAs上の厚い活性層、薄い活性層上に構成したショットキー接合容量の断面図、第3図は活性層厚に対する耐圧の変化を示す図、第4図(A), 第5図(A)はそれぞれ本発明の実施例にかかるショットキー電極とオーミック電極をくし状およびメッシュ状に構成したショットキー接合容量の要部概略平面図、第4図(B), 第5図(B)はそれぞれ同(A)のIV-IV'線、V-V'線断面図、第6図、第7図はそれぞれ本発明の実施例にかかるくし形状およびメッシュ状ショットキー接合容量の概略平面パターン図、第8図は本発明の一実施例のショットキー接合容量の容量-電圧特性図、第9図は本発明のショットキー接合容量(A)およびバルクGaAs上に構成したショットキー接合容量(B)の逆方向電流-電圧特性図である。

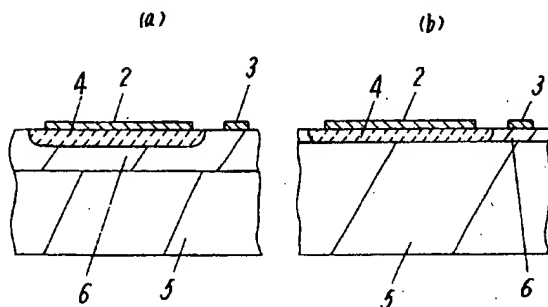
2……ショットキー電極、3……オーミック電極、4……空乏層、5……半絶縁性GaAs基板、6……GaAs活性層、7……クロスオーバー用SiO₂、8……配線金属。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

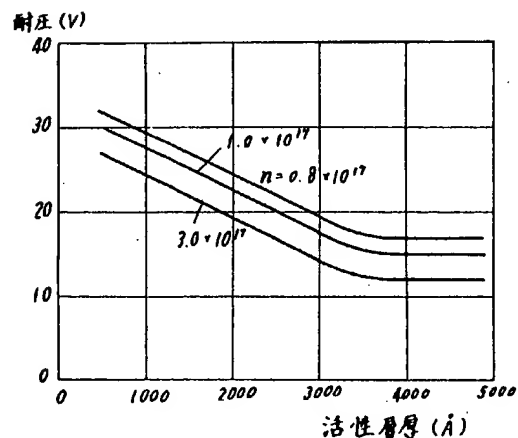
第 1 図



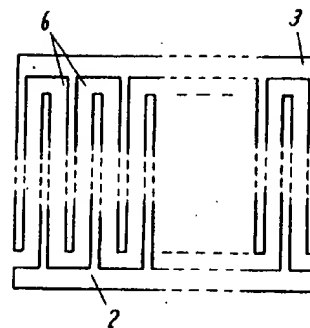
第 2 図



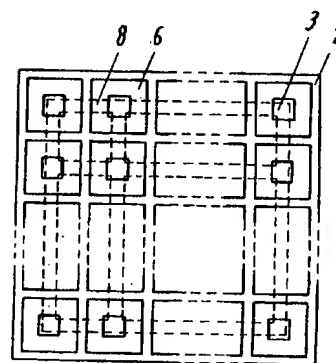
第 3 図



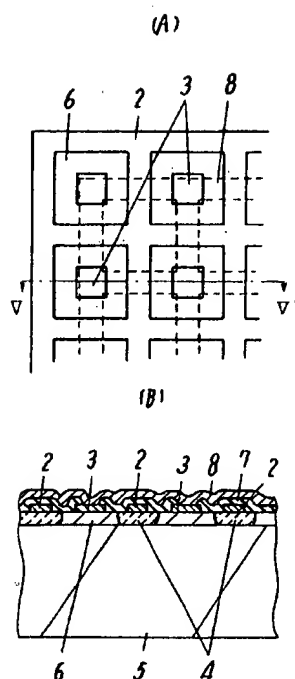
第 6 図



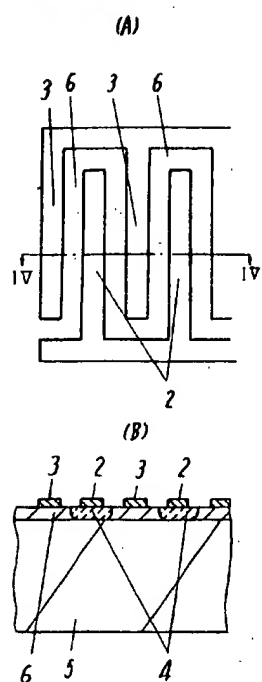
第 7 図



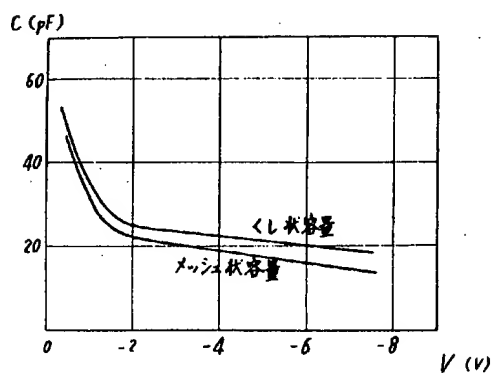
第 5 図



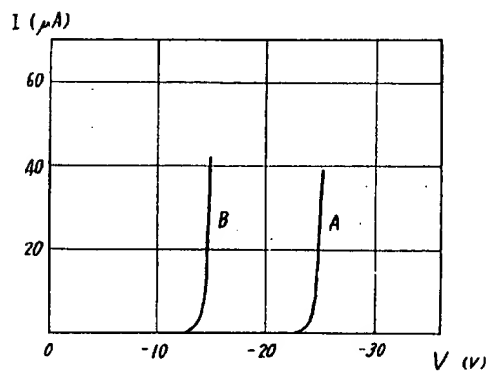
第 4 図



第 8 図



第 9 図



DOCUMENT-IDENTIFIER: JP 58051552 A
TITLE: SEMICONDUCTOR DEVICE

CCXR:
257/534

FPAR:

PURPOSE: To provide large capacity with small area of a semiconductor device and to obtain capacity with large withstand voltage of the device by forming the electrode of a junction and an ohmic electrode in pectinated or mesh shape.

FPAR:

CONSTITUTION: A GaAs active layer 6 is formed on a semi-insulating GaAs substrate 5. The electrode of the capacity is formed with an ohmic electrode 3 and a Schottky electrode 2. When reverse bias is applied to the Schottky junction, a depletion layer region 4 is formed. When both electrodes of a capacity element are formed in a pectinated or mesh shape, the length of the peripheral length of the Schottky junction can be increased, thereby obtaining large capacity. The junction may be P-N junction. When the thickness of the active layer 6 is formed less than 3,500Å, the withstand voltage can be remarkably improved.